

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

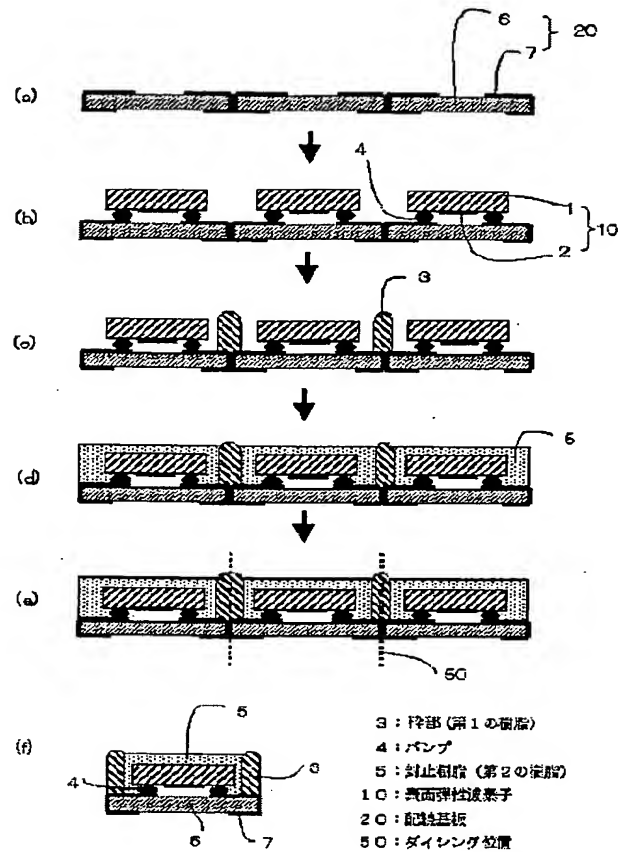
PUBLICATION NUMBER : 2002353763
PUBLICATION DATE : 06-12-02

APPLICATION DATE : 29-05-01
APPLICATION NUMBER : 2001160714

APPLICANT : MITSUBISHI ELECTRIC CORP;
INVENTOR : FUJIOKA HIROFUMI;

INT.CL. : H03H 3/08 H01L 21/56 H03H 9/25

TITLE : MANUFACTURING METHOD FOR
PIEZOELECTRIC ELEMENT DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a manufacturing method for piezoelectric element devices (surface acoustic wave devices), that prevents production of cracks in an electric connection section between a piezoelectric element and a substrate due to a heat cycle and avoids deterioration in the mechanical strength.

SOLUTION: A surface acoustic wave element 10 is flip-chip-mounted to a circuit board 20. A frame 3 made of a 1st resin is formed so as to surround the surface acoustic wave element 10. A sealing resin 5 made of a 2nd resin having an elastic modulus lower than that of the 1st resin is packed to a region surrounded by the frame 3 and a stimulation electrode 2 and a substrate 6 are kept hollow to seal the surface acoustic wave element 10.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2002-353763
(P2002-353763A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl.

識別記号

FI

テーマコード(参考)

H03H 3/08

H03H 3/08

5F061

H01L 21/56

H01L 21/56

E 5J097

H03H 9/25

H03H 9/25

A

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号 特願2001-160714(P2001-160714)

(22)出願日 平成13年5月29日(2001.5.29)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 菊池 巧

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 藤岡 弘文

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外1名)

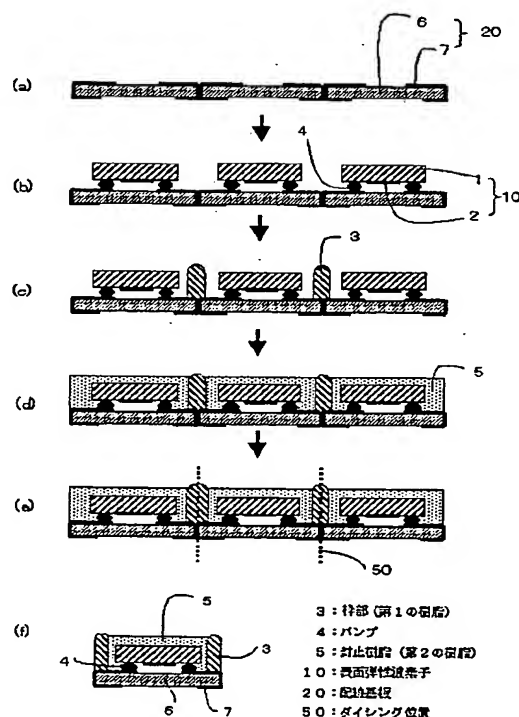
最終頁に続く

(54)【発明の名称】 圧電素子デバイスの製造方法

(57)【要約】

【課題】 ヒートサイクルにより圧電素子と基板との電気的接続部のクラックの発生を防止し、かつ機械的強度の低下が防止された圧電素子デバイス(表面弾性波素子デバイス)の製造方法を得る。

【解決手段】 配線基板20に表面弾性波素子10をフリップチップ実装する。表面弾性波素子10の周囲を囲う様に、第1の樹脂からなる枠部3を形成する。枠部3で囲まれた領域を上記第1の樹脂より低い弾性率を有する第2の樹脂からなる封止樹脂5により充填し、励起電極2と基板6の間を中空状態に保持して表面弾性波素子10を封止する。



【特許請求の範囲】

【請求項1】 配線基板に圧電素子を実装し、上記圧電素子を樹脂封止した圧電素子デバイスの製造方法であって、上記配線基板に、圧電素子をフリップチップ実装する工程、上記圧電素子を囲むように第1の樹脂からなる枠部を上記配線基板に設ける工程、上記枠部で囲まれた領域に上記第1の樹脂より低い弾性率を有する第2の樹脂を充填し、上記圧電素子を樹脂封止する工程、並びにダイシングソーにより樹脂パッケージ毎に上記枠部を切断する工程を備えた圧電素子デバイスの製造方法。

【請求項2】 第2の樹脂の硬化物の弾性率が $10 \sim 500 \text{ kg/mm}^2$ であることを特徴とする請求項1に記載の圧電素子デバイスの製造方法。

【請求項3】 圧電素子が表面弾性波素子であり、表面弾性波素子の機能面を配線基板側にしてフリップチップ実装し、表面弾性波素子と配線基板間に空間が形成されるようにすることを特徴とする請求項1または請求項2に記載の圧電素子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧電素子デバイスの製造方法、特に高周波フィルタとして、電気通信機器等に用いられる表面弾性波素子を圧電素子として用いた製造方法に関する。

【0002】

【従来の技術】図3は、特開平4-301910号公報に記載された従来の表面弾性波素子デバイスを示す断面図である。この図において、1は圧電体基板であり、この圧電体基板1の一方の主面（図において下面）には、圧電体基板1表面の所定方向に励振される表面波の伝搬路となるすだれ状電極（Interdigital Transducer、以下IDTと称する）によって形成された励振電極2とこの励振電極2から延設されて機能部の外部への接続端子となる電極パッド（図示せず）とが形成され、以上により表面弾性波素子10を構成する。11はパッケージで、11cは上記チップを保持するパッケージ保持部、11aおよび11bは上記チップを取り囲むように設けられ、上記チップの収容部を形成するパッケージ周壁部で、11aの一部には外部への接続部となる端子部12が形成されている。9は金属製のカバーで、パッケージ周壁部11bの上面に設けた封止部13に接合させ、上記表面弾性波素子10の機能部を気密封止して保護している。

【0003】表面弾性波素子10と端子部12との接続はバンプ電極4で行っている。即ち、チップ1の図示しない電極パッド上に形成したバンプ電極4を端子部12に接合して電氣的接続を得ている。パッケージ周壁部11aにより、パッケージ保持部11cの励振電極2に対応する部分に段差を形成して中空部14を確保し、これによって励振電極2の保護並びにその表面部の空隙確保

が図られている。即ち、図3に示すように、励振電極2をチップ1の下面に設け、励振電極2とパッケージ保持部11cとの対向部に中空部14を形成することにより、励振電極2により励振される表面波とその伝搬路を弾性的に開放するための中空部を確保することができる。とともに、励振電極2の破損を防止するための保護対策もできる。

【0004】しかし、金属製カバー9による気密封止は、製造コストが高くなり、さらに、表面弾性波素子を収容するパッケージ11は、予め、1つまたは複数個の表面弾性波素子10を収容するよう個々に用意されているので、大量生産に不向きであるという課題があった。

【0005】それに対して、セラミックパッケージや金属製カバーを使用せず、樹脂封止により製造工程を簡易化し、生産性を上げるために、例えば特開平10-321666号公報には、安価な絶縁樹脂等で表面弾性波素子等の圧電素子全体を封止するという方法が記載されている。

【0006】

【発明が解決しようとする課題】しかしながら、圧電素子全体を樹脂で封止した場合、圧電素子に対する応力による特性劣化や圧電素子の電氣的接合部の破損や、封止樹脂の圧電素子界面にクラックが発生するという課題があった。また、上記課題を解決するために、封止樹脂に低弾性率の樹脂を用いると、機械的強度に劣り、製造時には、ダイシングソーによる切断性に劣るという課題があった。

【0007】本発明はかかる課題を解消するためになされたもので、圧電素子に対する応力による特性劣化や圧電素子との接合部の破損や、封止樹脂の圧電素子界面にクラックが発生することを防止し、かつ機械的強度の低下が防止された圧電素子デバイスを得ることを目的とする。また、ダイシングソーによる切断性が向上することにより、生産性の向上した圧電素子デバイスの製造方法を得ることを目的とする。

【0008】

【課題を解決するための手段】本発明に係る第1の圧電素子デバイスの製造方法は、配線基板に圧電素子を実装し、上記圧電素子を樹脂封止した圧電素子デバイスの製造方法であって、上記配線基板に、圧電素子をフリップチップ実装する工程、上記圧電素子を囲むように第1の樹脂からなる枠部を上記配線基板に設ける工程、上記枠部で囲まれた領域に上記第1の樹脂より低い弾性率を有する第2の樹脂を充填し、上記圧電素子を樹脂封止する工程、並びにダイシングソーにより樹脂パッケージ毎に上記枠部を切断する工程を備えた方法である。

【0009】本発明に係る第2の圧電素子デバイスの製造方法は、上記第1の圧電素子デバイスの製造方法において、第2の樹脂の硬化物の弾性率が $10 \sim 500 \text{ kg/mm}^2$ の方法である。

【0010】本発明に係る第3の圧電素子デバイスの製造方法は、上記第1または第2の圧電素子デバイスの製造方法において、圧電素子が表面弾性波素子であり、表面弾性波素子の機能面を配線基板側にしてフリップチップ実装し、表面弾性波素子と配線基板間に空間が形成されるようにする方法である。

【0011】

【発明の実施の形態】以下、本発明を、圧電素子として表面弾性波素子を用い、表面弾性波素子デバイスを製造する場合を説明するが、本発明はこれに限定されるものではない。

【0012】実施の形態1. 図1(a)～(f)は本発明の第1の実施の形態の圧電素子デバイス(表面弾性波素子デバイス)の製造方法を工程順に示す工程図で、図中、1は圧電体基板(チップ)であり、この圧電体基板1の一方の主面(図において下面)には圧電体基板1表面の所定方向に励振される表面波の伝搬路となる、すだれ状電極(Interdigital Transducer、以下IDTと称する)によって形成された励振電極2とこの励振電極2から延設されて機能部の外部への接続端子となる電極パッド(図示せず)とが形成され、以上により表面弾性波素子10を構成する。3は第1の樹脂(高剛性樹脂)により形成された枠部、4は例えば金製のバンパ、5は第1の樹脂より低い弾性率を有する第2の樹脂(低弾性率樹脂)からなる封止樹脂、6は基板、7は基板6に形成された配線電極で、基板6と配線電極7により配線基板20を構成する。50はダイシングにより切断される位置である。

【0013】まず、1つの平板基板6上に複数組の配線電極7を設けて配線基板20を得る{図1(a)}。本実施の形態において、平板状配線基板の材質は、ガラス基材エポキシ樹脂基板などの有機系基板材料や、アルミナなどのセラミック基板が用いられ、製造工程の自由度を向上させる事ができる。

【0014】予めバンパ4が形成された表面弾性波素子10を、バンパ4が設けられた面と平板状基板6の配線電極7が向かい合うようにしてそれぞれ接続する{図1(b)}。本実施の形態において、表面弾性波素子10と配線電極7との接続をバンパ4で構成したが、電気的な接続ができる手段であればその他、導電性樹脂のエストラマパッド、半田ペーストもしくはシルバーペーストを利用することができる。

【0015】そして、表面弾性波素子10の周囲を囲う様に、例えばメタルマスクを用いたスクリーン印刷またはディスペンス法により、第1の樹脂(高剛性樹脂)を配置して枠部3を形成する{図1(c)}。その際、枠部3の高さは表面弾性波素子10より高いと、機械的に脆い圧電基板1が表面に露出しないためハンドリング性が良好となる。第1の樹脂としては、硬化物の弾性率が600kg/mm²以上であると、得られた圧電素子デ

バイスの機械強度が高く、また第1の樹脂からなる枠部3での切断が容易となり望ましい。また、硬化前のペースト特性として、粘度または揺変性の高い樹脂が所望の形状に保持しやすいため望ましい。上記のように第1の樹脂を配置後、例えばオープン内で硬化させるが、完全に硬化させる必要はなく、所望の形状を保持できる程度に硬化させてもよい。

【0016】その後、上記第1の樹脂より低い弾性率の第2の樹脂(低弾性率樹脂)からなる封止樹脂5で表面弾性波素子10の圧電体基板1の機能領域の裏面と側面から平板状基板6にかけてを覆い硬化することで表面弾性波素子10を樹脂封止する{図1(d)}。第2の樹脂の供給はスクリーン印刷法、ディスペンス法またはポッティング法により行われるが、量産性の面ではスクリーン印刷法が好ましい。

【0017】樹脂封止の後、枠部3をダイシングソーによりダイシング位置50で切断して{図1(e)}、樹脂パッケージ毎に切り離して表面弾性波素子デバイスを得る{図1(f)}が、比較的高剛性である第1の樹脂からなる枠部3を切断するため、ダイシング性に優れ生産速度が向上する。なお、図1(e)は、切断前、隣り合った表面弾性波素子デバイスはスルーホールを共用し、そのスルーホール部で切断する場合を示す。この場合、ダイシングラインを共用しているので一度の切断で隣り合った表面弾性波素子デバイスを分離できダイシング工程が簡素化され、プロセスコスト低減の効果があ。しかし、上記のようにダイシングラインをスルーホール部等に精度よく設定する必要があり、ダイシング精度が要求される。従って、切断前隣り合った表面弾性波素子デバイス間に余白領域を設けて各表面弾性波素子デバイス毎にダイシングする方法を採用しても良い。

【0018】上記のようにして得られる図1(f)に示される表面弾性波素子デバイスは、平板状基板6とこれに設けた配線電極部7とからなる配線基板20に表面弾性波素子10を実装したものである。表面弾性波素子10表面の励振電極2から延設される電極パッドに形成されたバンパ4と上記配線電極7とがフリップチップ方式で接続され、表面弾性波素子10の周囲を囲う様に、第1の樹脂からなる枠部3が形成され、枠部3で囲まれた領域が上記第1の樹脂より低い弾性率を有する第2の樹脂からなる封止樹脂により充填されることにより、表面弾性波素子10が封止されたもので、励起電極2と基板6の間を中空状態に保持する。

【0019】即ち、本実施の形態において、表面弾性波素子10を枠部3を形成する第1の樹脂より低い弾性率を有する第2の樹脂(低弾性率樹脂)で封止しているのは、表面弾性波素子10への応力を緩和するためである。また、弾性率が低いために、機械的強度に劣ることを防止するために、表面弾性波素子10の周囲を囲む様に、第1の樹脂(高剛性樹脂)により枠部3を配置した

ものである。従って、本実施の形態により、高価なセラミックや金属を用いず、安価なエポキシ樹脂などの材料で樹脂封止したもので、ヒートサイクル等による電気特性の劣化を防止し、かつ機械的強度の低下が防止された圧電素子デバイスを得ることができる。また、ダイシングは比較的高剛性の第1の樹脂からなる枠部3を切断するので、生産性が向上する。

【0020】本実施の形態において、上記第2の樹脂として、表1に示す各弾性率 (kg/mm^2) を有する樹脂を用いて、上記製造方法により表面弾性波素子10を樹脂封止した表面弾性波素子デバイスを製造し、下記試験を施した。

【0021】

【表1】

弾性率(kg/mm^2)	7	10	50	100	300	500	800	1000
ヒートサイクル試験 ($-40^\circ\text{C} \leftrightarrow 85^\circ\text{C}$)	>500回	>500回	>500回	>500回	>500回	400回	50回	10回
耐湿試験 ($85^\circ\text{C}/85\%\text{RH}$)	500h	800h	>1000h	>1000h	>1000h	>1000h	>1000h	>1000h
吸湿リフロー試験 (JEDEC Level-3)	NG	OK	OK	OK	OK	OK	NG	NG
衝撃試験 (1500G, 0.5msec)	NG	OK	OK	OK	OK	OK	OK	OK

【0022】なお、表中、ヒートサイクル試験は、 -40°C — 85°C 間のヒートサイクルを行い、上記表面弾性波素子デバイスの電気特性が5%以上劣化するまでのヒートサイクル回数を測定することにより行う。表中、耐湿試験は、 85°C で85%RHの雰囲気中に放置し、上記表面弾性波素子デバイスの電気特性が5%以上劣化するまでのヒートサイクル回数を測定することにより行う。表中、吸湿リフロー試験とは、吸湿リフロー試験 (JEDEC Level-3) を施し、 260°C リフローを3回施した後、電気特性が5%以上劣化したものをNG、電気特性の劣化が5%未満のものをOKとする。表中、衝撃試験は、衝撃試験機で500~5000Hzの正弦パルス (加速度1000G) を0.5msec印加した後、電気特性が5%以上劣化したものをNG、電気特性の劣化が5%未満のものをOKとする。

【0023】表1からわかるように、第2の樹脂の弾性率が800 kg/mm^2 であると、ヒートサイクルが重なり、封止樹脂に起因する熱応力が大きくなり、ヒートサイクルやリフロー試験において、表面弾性波素子および素子と基板との接合部にダメージが生じて電気特性が劣化したり、封止樹脂と表面波素子間および封止樹脂と配線基板の界面で剥離や樹脂クラックが生じやすくなる。一方、弾性率が、10 kg/mm^2 未満の場合、表面弾性波素子に与える応力・歪みは小さいものの、機械的強度が低くなるために、例えば、取り扱いにおいて、不具合を起こしやすく、また衝撃試験では樹脂の変形が大きくなり、素子および基板との接合部にダメージが生じやすくなる。以上のように、弾性率が10~500 kg/mm^2 であるのが好ましいのがわかる。

【0024】なお、本実施の形態では、圧電素子として表面弾性波素子を載置する装置について述べたが、その他マイクロエーブ整合素子、インピーダンス整合素子を載置する装置にも利用できる。

【0025】実施の形態2. 図2(a)~(f)は本発明の第2の実施の形態の圧電素子デバイスの製造方法を

工程順に示す工程図であり、実施の形態1において、第2の樹脂 (低弾性率樹脂) からなる封止樹脂5で表面弾性波素子10を封止する際に、圧電体基板1の機能領域の裏面は覆わず、側面から平板状基板6にわたって覆い硬化する (図2(d))。他は実施の形態1と同様にして表面弾性波素子デバイスを得る (図2(f))。したがって、上記実施の形態1に対して、表面弾性波素子1の裏面にエポキシ樹脂などの材料で樹脂封止する必要がなく、封止材料の節約ができる。また、表面弾性波素子1の裏面と封止用樹脂8間に亀裂が生じることも防止することができる。即ち、本実施の形態のように構成すれば、所定の機械的強度を得ると共に、装置の低背化と材料費の低減による低コスト化が可能になる。

【0026】

【発明の効果】本発明の第1の圧電素子デバイスの製造方法は、配線基板に圧電素子を実装し、上記圧電素子を樹脂封止した圧電素子デバイスの製造方法であって、上記配線基板に、圧電素子をフリップチップ実装する工程、上記圧電素子を囲むように第1の樹脂からなる枠部を上記配線基板に設ける工程、上記枠部で囲まれた領域に上記第1の樹脂より低い弾性率を有する第2の樹脂を充填し、上記圧電素子を樹脂封止する工程、並びにダイシングソーにより樹脂パッケージ毎に上記枠部を切断する工程を備えた方法で、生産性が向上し、電気特性の劣化と機械的強度の低下が防止されるという効果がある。

【0027】本発明の第2の圧電素子デバイスの製造方法は、上記第1の圧電素子デバイスの製造方法において、第2の樹脂の硬化物の弾性率が10~500 kg/mm^2 の方法で、生産性が向上し、電気特性の劣化と機械的強度の低下が防止されるという効果がある。

【0028】本発明の第3の圧電素子デバイスの製造方法は、上記第1または第2の圧電素子デバイスの製造方法において、圧電素子が表面弾性波素子であり、表面弾性波素子の機能面を配線基板側にしてフリップチップ実装し、表面弾性波素子と配線基板間に空間が形成される

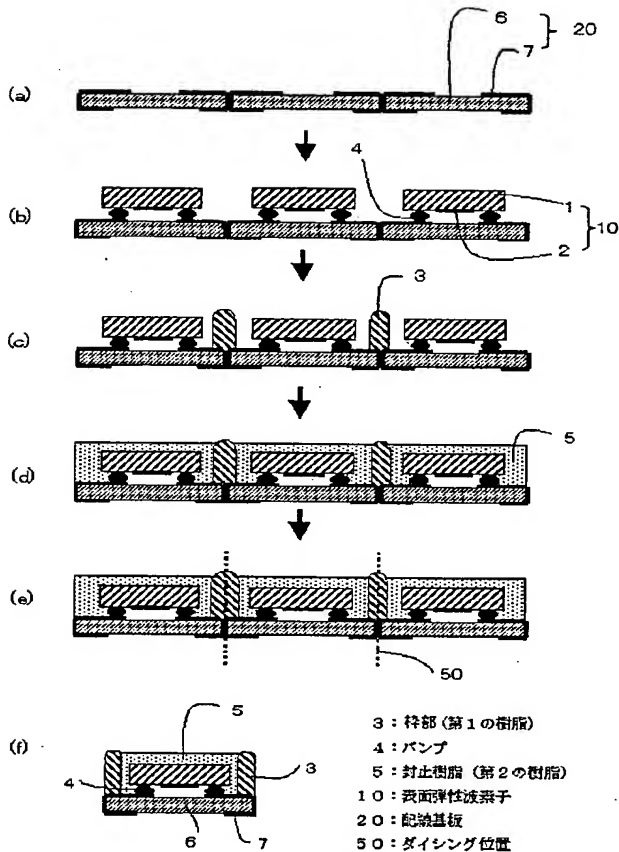
ようにする方法で、生産性が向上し、電気特性の劣化と機械的強度の低下が防止された表面弾性波素子デバイスを得るという効果がある。

【図面の簡単な説明】

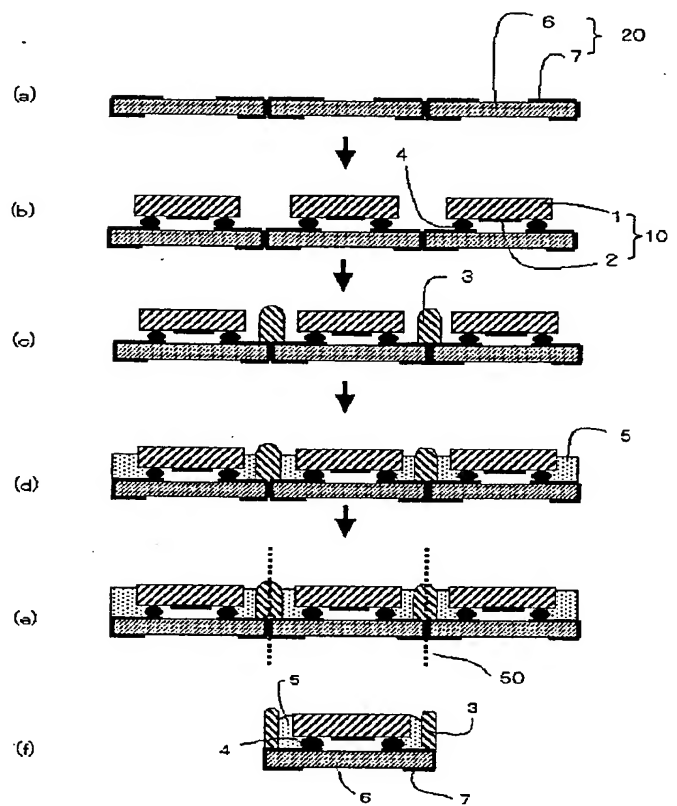
【図1】 本発明の第1の実施の形態の圧電素子デバイスの製造方法を工程順に示す工程図である。

【図2】 本発明の第2の実施の形態の圧電素子デバイスの製造方法を工程順に示す工程図である。

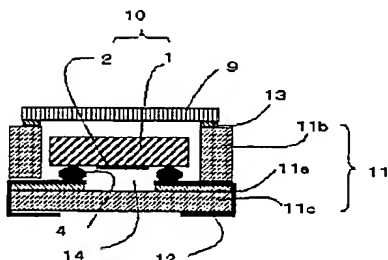
【図1】



【図2】



【図3】



【図3】 従来の表面弾性波素子デバイスを示す断面図である。

【符号の説明】

1 圧電体基板、2 励振電極、10 表面弾性波素子、3 枠部（第1の樹脂）、4 バンプ、5 封止樹脂（第2の樹脂）、6 基板、7 配線電極、20 配線基板、50 ダイシングにより切断される位置。

フロントページの続き

Fターム(参考) 5F061 AA01 BA03 CA04 CA06 CA12
CB13 FA06
5J097 AA25 AA31 AA34 HA04 HA07
HA08 HB07 HB08 JJ03 JJ09
KK10